

Japanese Kokai Patent Application No. Sho 57[1982]-209546

Job No.: 844-92661

Ref.: JP 57-209546

Translated from Japanese by the Ralph McElroy Translation Company
910 West Avenue, Austin, Texas 78701 USA

JAPANESE PATENT OFFICE
PATENT JOURNAL (A)
KOKAI PATENT APPLICATION NO. SHO 57[1982]-209546

Int. Cl. ³ :	G 06 F 11/20
Sequence No. for Office Use:	7257-5B
Filing No.:	Sho 56[1981]-95680
Filing Date:	June 19, 1981
Publication Date:	December 22, 1982
No. of Inventions:	1 (Total of 5 pages)
Examination Request:	Not filed

STATE DETECTION SYSTEM BY MEANS OF CONDITION COMPARISON

Inventors:	Hidekiyo Ozawa Fujitsu, Ltd. 1015 Kamiotanaka, Nakahara-ku, Kawasaki-shi Nobuyuki Kikuike Fujitsu, Ltd. 1015 Kamiotanaka, Nakahara-ku, Kawasaki-shi
Applicant:	Fujitsu, Ltd. 1015 Kamiotanaka, Nakahara-ku, Kawasaki-shi
Agent:	Shiro Kyotani, patent attorney

[There are no amendments to this patent.]

Claim

A state detection system by means of condition comparison characterized by the fact that in a processing device having a scan-out function, there are the following parts: a scan-address

supply means that supplies plural scan addresses independently; plural multiplexer means that output values of flip-flop circuits or gates corresponding to said plural scan addresses, respectively; a comparator that compares the plural scan addresses output from said plural multiplexers with the values of the plural flip-flop circuits or gates read corresponding to said plural scan addresses, respectively; and comparison condition-setting flip-flop circuits for setting the comparison conditions.

Detailed explanation of the invention

This invention pertains to a state detection system by means of condition comparison characterized by the fact that in a processing device, plural flip-flop circuits or gates can be assigned at will, and, at the same time, conditions can be assigned at will; and it is detected that the output states of the assigned plural flip-flop circuits or gates attain the assigned conditions.

As LSIs are developed for circuits, it becomes hard to know directly the state of the circuits inside an LSI within the limit of the input/output pins. On the other hand, a method using scan-out is an effective means in finding the state of internal circuits using a small number of input/output pins. Addresses are allotted to flip-flop circuits and gates that form the circuit, and the addresses are known as scan addresses. When the state of a prescribed flip-flop circuit in a logic block (such as an LSI) is to be known, one sets from the outside the scan address assigned to said flip-flop circuit, and selects the content of the assigned flip-flop circuit. As a result, the scan result can be output. This is known as scan-out.

When a problem or the like of a circuit is traced, a means is adopted, wherein a prescribed circuit is concerned, and operation of the system is frozen when the value of said circuit becomes value "1" or "0". In order to perform this operation, the aforementioned scan-out method is adopted, and when the scan-out result comes into agreement with the desired condition, the agreement is taken as a trigger for freezing the operation of the system. However, for the system for reading the interior of a circuit by means of scan-out, even when the scan-out is optimized, one can only read 1 bit at a time, and one can set a condition only for 1 bit.

The objective of this invention is to solve the aforementioned problems of the prior art by providing a state detection system by means of condition comparison characterized by the fact that it can detect agreement of the values of N (here N is a constant larger than 1) flip-flop circuits or gates selected at will with prescribed values with a simple circuit constitution. That is, this invention provides a state detection system by means of condition comparison characterized by the fact that in a processing device having a scan-out function, there are the following parts: a scan-address supply means that supplies plural scan addresses independently; plural multiplexer means that output values of flip-flop circuits or gates corresponding to said plural scan addresses, respectively; a comparator that compares the plural scan addresses output from said plural

multiplexers with the values of the plural flip-flop circuits or gates read corresponding to said plural scan addresses, respectively; and comparison condition-setting flip-flop circuits for setting the comparison conditions. In the following, this invention will be explained with reference to figures.

Figure 1 is a block diagram illustrating Application Example 1 of this invention. (1)* represents a logic block; (2-1) to (2-n) represent flip-flop circuits; (3-A), (3-B) represent holding registers for holding a scan address; (4-A) to (4-C) represent multiplexers; (5) represents a flip-flop circuit for setting the comparison condition; (6) represents a comparator; and (I) represents a scan address line.

Logic block (1) is composed of an LSI. Inside this logic block, there are the following parts: flip-flop circuits (2-1) to (2-n), holding registers (3-A), (3-B), multiplexers (4-A)-(4-C), flip-flop circuit (5) for setting the comparison condition; comparator (6), and gates not shown in the figure. Holding register (3) holds the scan address sent to it from the outside, and it sets the scan address by means of a set signal not shown in the figure. According to the content of holding register (3-A), multiplexer (4-A) selects one of flip-flop circuits (2-1) to (2-n), and outputs the state of the selected flip-flop circuit. According to the content of holding register (3-B), multiplexer (4-B) selects one of flip-flop circuits (2-1) to (2-n), and outputs the state of the selected flip-flop circuit. According to the scan address of scan address line (I), multiplexer (4-C) selects one of flip-flop circuits (2-1) to (2-n), and outputs the state of the selected flip-flop circuit. The output of multiplexer (4-C) becomes the scan result. In flip-flop circuit (5) for setting the comparison condition, the value of comparison of outputs of multiplexers (4-A), (4-B) is set. The comparison condition information is supplied externally through scan address line (I), and, by means of a set signal not shown in the figure, it is set in flip-flop circuit (5) for setting comparison condition. Comparator (6) compares the outputs of multiplexers (4-A), (4-B) with the content of condition setting flip-flop circuit (5), and outputs an agreement signal of "1" when the two agree with each other.

Now, as shown in Figure 1, if the clock of the system stops in a state such that the values of flip-flop circuits (2-1) and (2-4) are "10", first of all, the scan address of flip-flop circuit (2-1) is set in holding register (3-A), and then the scan address of flip-flop circuit (2-4) is set in holding register (3-B). As a result, multiplexer (4-A) selects flip-flop circuit (2-1) according to the value of holding register (3-A), and the value of flip-flop circuit (2-1) is supplied to comparator (6). In a similar way, for the value of flip-flop circuit (2-4), according to the value of holding register (3-B), multiplexer (4-B) selects flip-flop circuit (2-4), and the value is sent to comparator (6). In flip-flop circuit (5) for setting the condition, "10" is preset as the condition.

* [Number (1) is missing in the figure]

Comparator (6) compares the value of flip-flop circuit (5) for setting the comparison condition and the values of flip-flop circuits (2-1), (2-4) taken out by multiplexers (4-A), (4-B), and, when flip-flop circuit (2-1) becomes "1", and flip-flop circuit (2-4) becomes "0", a condition agreement signal is sent to the outside. Consequently, the agreement signal sent to the outside is input to the clock controller (not shown in the figure) of the system. When the agreement signal is "1", the clock is stopped. In this way, it is possible to freeze the state of the system according to the values of flip-flop circuits (2-1), (2-4) in logic block (1). As aforementioned, in the application example shown in Figure 1, it is possible to detect that the value of any N flip-flop circuit or gate in a logic block attains a prescribed value without significantly increasing the number of input/output pins. Also, in this case, multiplexer (4-C) is a conventional scan-out circuit, and it performs scan-out independently or in parallel with the state comparison using (4-A) and (4-B).

Figure 2 is a diagram illustrating Application Example 2 of this invention. In Figure 2, (11-1)-(11-3) represent logic blocks; (12-1)-(12-4) represent flip-flop circuits; (13-1)-(13-3) represent selectors; (14) represents a multiplexer; (15) represents a flip-flop circuit for setting a comparison condition; (16) represents a comparator; (17) and (18) represent multiplexers; (19) represents a flip-flop circuit that assigns a valid/invalid mode; (20) represents an AND circuit; (21) and (22) represent scan address registers.

Scan address register (21) has a lower address portion and an upper address portion. The lower address portion indicates the address in the logic block, and the upper address portion indicates the logic block address. Scan address register (22) has the same constitution as that of scan address register (21). Based on a control signal (not shown in the figure), selector (13-1) selects the lower portion of scan address register (21) or the lower portion of scan address register (22), and it sends the selected lower address portion to multiplexer (14). Selectors (13-2), (13-3) correspond to logic blocks (13-2), (13-3), and they have the same function as that of selector (13-1). According to the supplied lower address portion, multiplexer (14) selects one of flip-flop circuits (12-1)-(12-4), and outputs the value of the selected flip-flop circuit. According to the upper address portion of scan address register (21), multiplexer (17) selects one of the scan results sent from logic blocks (11-1)-(11-3). According to the upper address portion of scan address register (22), multiplexer (18) performs the same operation as multiplexer (17). Outputs of multiplexers (17) and (18) are input to comparator (16). The value of flip-flop circuit (15) for setting a comparison condition is sent to comparator (16), and it is compared with the values of multiplexers (17), (18). Valid/invalid mode flip-flop circuit (19) is for assigning valid/invalid for the system clock stop treatment, and when it is set at "1", valid is assigned.

When flip-flop circuit (12-1) of logic block (11-1) has a logic value of "1", and flip-flop circuit (12-4) of logic block (11-2) is "0", as the system clock is stopped, the following setting

treatment is carried out. The scan address of flip-flop circuit (12-1) of logic block (11-1) is set in scan address register (21), and the scan address of flip-flop circuit (12-4) of logic block (11-2) is set in scan address register (22). A control signal for selecting the upper input is applied to selector (13-1), and a control signal for selecting the lower input is applied to selector (13-2). "10" is set in flip-flop circuit (15) for setting the comparison means, and "1" is set in valid/invalid flip-flop circuit (19). When the system is started after said setting treatment and when flip-flop circuit (12-1) of logic block (11-1) is "1" and flip-flop circuit (12-4) of logic block (11-2) is "0", comparator (16) outputs "1", and the clock stop signal output from AND circuit (20) also becomes logic "1". As the clock stop signal becomes "1", the system clock stops.

As can be seen from the aforementioned explanation, according to this invention, by simply adding a little hardware to a conventional treatment device having a scan-out function, one can detect the state wherein the values of N flip-flop circuits or gates selected at will become the preset values.

Brief description of the figures

Figure 1 is a block diagram illustrating Application Example 1 of this invention. Figure 2 is a block diagram illustrating another application example of this invention.

1	Logic block
2-1 to 2-n	Flip-flop circuit
3-A, 3-B	Holding register for holding scan address
4-A, 4-B, 4-C	Multiplexer
5	Flip-flop circuit for setting the comparison condition
6	Comparator
l	Scan address line
11-1 to 11-3	Logic block
12 [sic; 12-1] to 12-4	Flip-flop circuit
13-1 to 13-3	Selector
14	Multiplexer
15	Flip-flop circuit for setting the comparison condition
16	Comparator
17, 18	Multiplexer
19	Valid/invalid mode assigning flip-flop circuit
20	AND circuit
21, 22	Scan address register

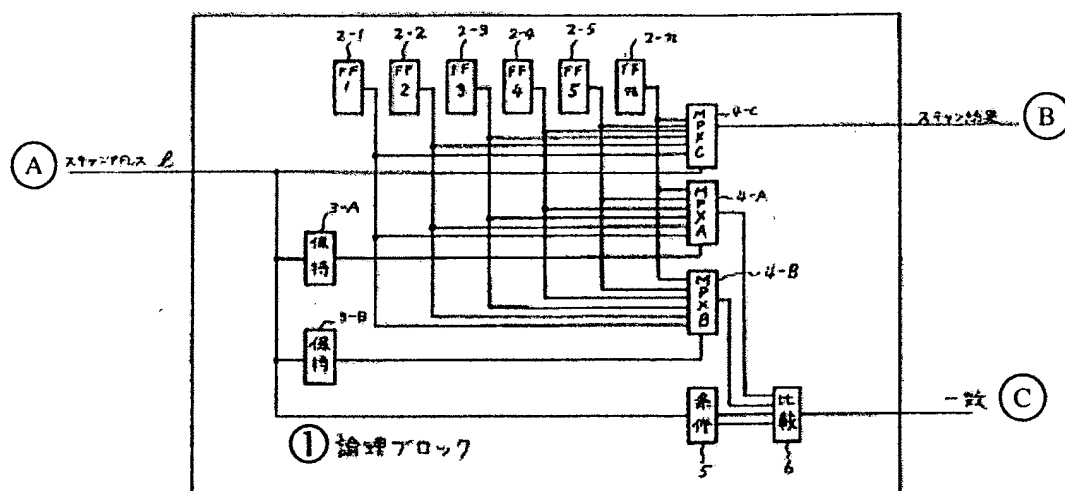


Figure 1

Key: A Scan address l
 B Scan result
 C Agreement
 1 Logic block
 3-A, 3-B Hold
 5 Condition
 6 Comparison

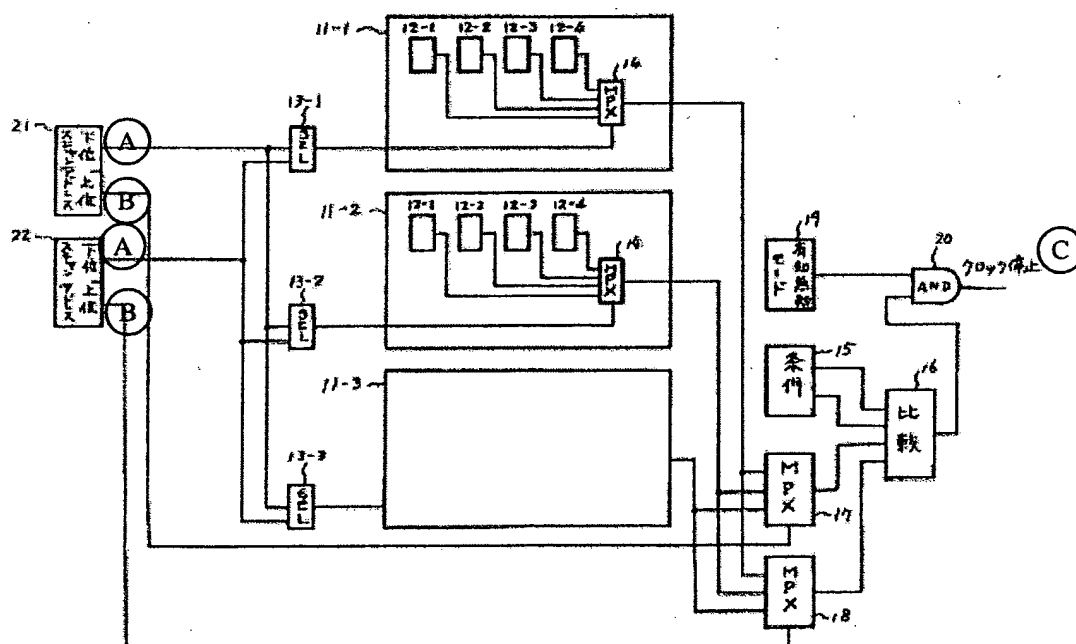
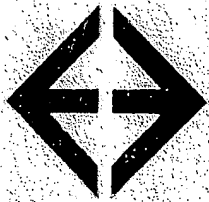


Figure 2

Key: A Lower
 B Higher
 C Stop of clock

15 Condition
16 Comparator
19 Valid/invalid mode
21, 22 Scan address



7/4/240.2

RALPH McELROY TRANSLATION COMPANY

EXCELLENCE WITH A SENSE OF URGENCY®

April 2, 2003

Re: 844-92661

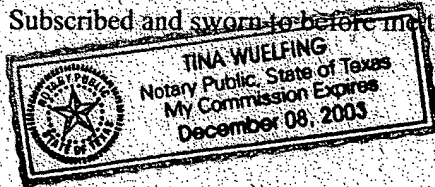
To Whom It May Concern:

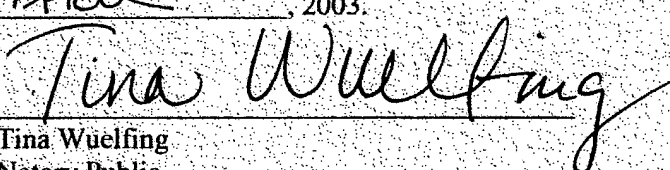
This is to certify that a professional translator on our staff who is skilled in the Japanese language translated the enclosed Japanese Kokai Patent Application No. Sho 57[1982]-209546 from Japanese into English.

We certify that the attached English translation conforms essentially to the original Japanese language.


Kim Vitray
Operations Manager

Subscribed and sworn to before me this 2 day of April, 2003.




Tina Wuelfing
Notary Public

My commission expires: December 8, 2003

sales@mcelroytranslation.com
www.mcelroytranslation.com

(512) 472-6753
1-800-531-9977

910 WEST AVE.
AUSTIN, TEXAS 78701



FAX (512) 472-4591
FAX (512) 479-6703

⑨ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

昭57-209546

⑤ Int. Cl.³
G 06 F 11/20

識別記号

庁内整理番号
7257-5B

⑬ 公開 昭和57年(1982)12月22日

発明の数 1
審査請求 未請求

(全 5 頁)

⑭ 条件比較による状態検出方式

⑯ 発明者 菊池伸行

⑰ 特 願 昭56-95680

川崎市中原区上小田中1015番地

⑱ 出 願 昭56(1981)6月19日

富士通株式会社内

⑲ 発明者 小沢秀清

⑳ 出 願 人 富士通株式会社

川崎市中原区上小田中1015番地

川崎市中原区上小田中1015番地

㉑ 代理人 弁理士 京谷四郎

富士通株式会社内

明 細 書

1. 発明の名称

条件比較による状態検出方式

2. 特許請求の範囲

スキャン・アウト機能を有する処理装置において、複数のスキャン・アドレスを独立して供給するスキャン・アドレス供給手段と、上記複数のスキャン・アドレスのそれぞれに対応するフリップ・フロップもしくはゲートの値を出力する複数のマルチプレクサ手段と、上記複数のマルチプレクサから出力されるところの複数のスキャン・アドレスのそれぞれに対応して脱出された複数のフリップ・フロップもしくはゲートの値を比較条件と比較する比較回路と、比較条件を設定する比較条件設定用フリップ・フロップとを備えることを特徴とする条件比較による状態検出方式。

3. 発明の詳細な説明

本発明は、処理装置内における複数のフリップ・フロップもしくはゲートを任意に指定できると共に条件をも任意に指定できるようにし、そして指定された複数のフリップ・フロップもしくはゲートの出力状態が指定された条件になったことを検出するようにした条件比較による状態検出方式に関するものである。

回路がLSI化されると、入出力ピンの限界でLSIの内部回路の状態を直接に知ることは困難であるが、スキャン・アウトによる方法は少ない入出力ピンで内部回路の状態を知る方法として有効な手段である。回路を構成するフリップ・フロップやゲートにはアドレスが割当てられており、このアドレスをスキャン・アドレスという。論理ブロック(例えばLSI)内の所望のフリップ・フロップの状態を知ろうとするときには、このフリップ・フロップに与えられたスキャン・アドレスを外部から与えると、指定されたフリップ・フロップの内容が選択されてスキャン結果として外部に取出されて来る。これをスキャン・アウトという。

回路の障害等を追跡するとき、或る特定の回路

に注目して、その回路の値が成る値「1」又は「0」になった時にシステムの動作を凍結する手段が使われる。このような動作を実現するためには、上記のスキヤン・アウトの方法を用いて、スキヤン・アウトされた結果が所望の条件に一致したときに、この一致をシステムの動作凍結のトリガ一とすれば良い。しかし、スキヤン・アウトにより回路の内部を脱出する方式は、スキヤン・アウトを最適化した場合、一度に1ビットしか脱み出すことが出来ず、1ビットの条件しか設定できない。

本発明は、上記の考察に基づくものであって、簡単な回路構成により任意に選択されたN個（ただしNは1より大きい定数）のフリップ・フロップもしくはゲートの値が設定値と一致したことを検出できるようにした条件比較による状態検出方式を提供することを目的としている。そしてそのため、本発明の条件比較による状態検出方式は、スキヤン・アウト機能を有する処理装置において、複数のスキヤン・アドレスを独立して供給するスキヤン・アドレス供給手段と、上記複数のスキヤ

ン・アドレスのそれぞれに対応するフリップ・フロップもしくはゲートの値を出力する複数のマルチプレクサ手段と、上記複数のマルチプレクサから出力されるところの複数のスキヤン・アドレスのそれぞれに対応して脱出された複数のフリップ・フロップもしくはゲートの値を比較条件と比較する比較回路と、比較条件を設定する比較条件設定用フリップ・フロップとを備えることを特徴とするものである。以下、本発明を図面を参照しつつ説明する。

第1図は本発明の1実施例のブロック図であって、1は論理ブロック、2-1ないし2-nはフリップ・フロップ、3-A、3-Bはスキヤン・アドレスを保持するための保持レジスタ、4-Aないし4-Cはマルチプレクサ、5は比較条件設定用フリップ・フロップ、6は比較回路、Lはスキヤン・アドレス線をそれぞれ示している。

論理ブロック1はLSIで構成されているものであり、内部にフリップ・フロップ2-1ないし2-n、保持レジスタ3-A、3-B、マルチプ

レクサ4-Aないし4-C、比較条件設定用フリップ・フロップ5、比較回路6およびその他の図示しないゲートなどを有している。保持レジスタ3は、外部より送られて来るスキヤン・アドレスを保持するものであり、図示しないセフト信号によってスキヤン・アドレスがセフトされる。マルチプレクサ4-Aは、保持レジスタ3-Aの内容に従ってフリップ・フロップ2-1ないし2-nの内のいずれか1つを選択し、選択されたフリップ・フロップの状態を出力する。マルチプレクサ4-Bは、保持レジスタ3-Bの内容に従ってフリップ・フロップ2-1ないし2-nの内のいずれか1つを選択し、選択されたフリップ・フロップの状態を出力する。マルチプレクサ4-Cはスキヤン・アドレス線Lのスキヤン・アドレスに従ってフリップ・フロップ2-1ないし2-nの内のいずれか1個を選択し、選択されたフリップ・フロップの状態を出力する。マルチプレクサ4-Cの出力がスキヤン結果となる。比較条件設定用フリップ・フロップ5には、マルチプレクサ4

-A、4-Bの出力と比較される値がセフトされる。比較条件情報は、スキヤン・アドレス線Lを介して外部から供給され、そして図示しないセフト信号によって比較条件設定用フリップ・フロップ5にセフトされる。比較回路6は、マルチプレクサ4-A、4-Bの出力と条件設定用フリップ・フロップ5の内容とを比較し、両者が一致するとき「1」の一致信号を出力する。

いま、第1図においてフリップ・フロップ2-1と2-4の値が「10」になったときの状態によってシステムのクロックを停止しようとする場合、まず保持レジスタ3-Aにフリップ・フロップ2-1のスキヤン・アドレスをつぎに保持レジスタ3-Bにフリップ・フロップ2-4のスキヤン・アドレスを設定しておく。それによって、マルチプレクサ4-Aは保持レジスタ3-Aの値によりフリップ・フロップ2-1を選択し、フリップ・フロップ2-1の値が比較回路6に供給される。フリップ・フロップ2-4の値も同様に保持レジスタ3-Bの値によりマルチプレクサ4-B

はフリップ・フロップ2-4を選択し、その値を比較回路6へ送る。条件設定用フリップ・フロップ5には、条件として「10」を予め設定しておく。

比較回路6は、比較条件設定用フリップ・フロップ5と、マルチプレクサ4-A、4-Bによって取出されるフリップ・フロップ2-1、2-4の値とを比較し、フリップ・フロップ2-1が「1」、フリップ・フロップ2-4が「0」になった時に条件一致信号を外部に送り出す。従って、この外部に送り出される一致信号をシステムのクロック制御回路（図示せず）に導入して、一致信号が「1」になったときクロックを停止するようにすれば、論理ブロック1内のフリップ・フロップ2-1、2-4の値によってシステムの状態を凍結することが可能となる。以上のように、第1図の実施例によれば、論理ブロック内のN個の任意のフリップ・フロップもしくはゲートの値が設定値となったことの検出を、入出力ピンをあまり増加させることなく実現することが出来る。なお

7

同一構成を有している。セレクト13-1は、スキャン・アドレス・レジスタ21の下位部分又はスキャン・アドレス・レジスタ22の下位部分のいずれか一方を制御信号（図示せず）に基づいて選択し、選択された下位アドレス部分をマルチプレクサ14に送る。セレクト13-2、13-3は論理ブロック13-2、13-3に対するものであり、セレクト13-1と同一の機能を有している。マルチプレクサ14は、供給は、供給された下位アドレス部分に従ってフリップ・フロップ12-1ないし12-4の内のいずれか1つを選択し、選択されたフリップ・フロップの値を出力する。マルチプレクサ17は、スキャン・アドレス・レジスタ21の上位アドレス部分に従って論理ブロック11-1ないし11-3のそれぞれから送られて来るスキャン結果の内の1つを選択する。マルチプレクサ18は、スキャン・アドレス・レジスタ22の上位アドレス部分に従ってマルチプレクサ17と同様な動作を行う。マルチプレクサ17、18の出力は比較回路16に入力され

9

此処でマルチプレクサ4-Cは従来のスキャンアウト回路を示すものであり、4-Aないし4-Bによる状態比較とは独立にあるいは並行してスキャンアウトを行なえる。

第2図は本発明の第2実施例を示すものである。第2図において、11-1ないし11-3は論理ブロック、12-1ないし12-4はフリップ・フロップ、13-1ないし13-3はセレクト、14はマルチプレクサ、15は比較条件設定用フリップ・フロップ、16は比較回路、17と18はマルチプレクサ、19は有効無効モード指定フリップ・フロップ、20はAND回路、21と22はスキャン・アドレス・レジスタをそれぞれ示している。

スキャン・アドレス・レジスタ21は、下位アドレス部分と上位アドレス部分を有しており、下位アドレス部分は論理ブロック内のアドレスを示しており、上位アドレス部分は論理ブロック・アドレスを示している。スキャン・アドレス・レジスタ22もスキャン・アドレス・レジスタ21と

8

る。比較条件設定用フリップ・フロップ15の値は比較回路16に送られ、マルチプレクサ17、18の値と比較される。有効無効モード・フリップ・フロップ19はシステム・クロック停止処理の有効／無効を指定するものであって、「1」に設定されたとき有効となる。

論理ブロック11-1のフリップ・フロップ12-1が論理「1」、論理ブロック11-2のフリップ・フロップ12-4が「0」のときにシステムのクロックを停止させる場合には、下記のような設定処理が行われる。スキャン・アドレス・レジスタ21に論理ブロック11-1のフリップ・フロップ12-1のスキャン・アドレスをセットし、スキャン・アドレス・レジスタ22に論理ブロック11-2のフリップ・フロップ12-4のスキャン・アドレスをセットする。セレクト13-1には上側入力選択のための制御信号を印加し、セレクト13-2には下側入力選択のための制御信号を印加する。比較手段設定用フリップ・フロップ15には「10」をセットし、有効無効モ

10

ド・フリップ・フロップ19を「1」に設定する。
 このような設定処理を行った後にシステムを起動
 すると、論理ブロック11-1のフリップ・フロ
 ップ12-1が「1」、論理ブロック11-2の
 フリップ・フロップ12-4が「0」になった時
 に比較回路16は「1」を出力し、AND回路20
 の出力するクロック停止信号も論理「1」となる。
 クロック停止信号が「1」となると、システムの
 クロックは停止する。

以上の説明から明らかなように、本発明によれ
 ば、スキャン・アウト機能を有する従来の処理装
 置に僅かなハードウェアを付加するのみで、任意
 に選択されたN個のフリップ・フロップもしくは
 ゲートの値が設定値になったことを検出すること
 ができる。

ップ・フロップ、3-A、3-B…スキャン・
 アドレスを保持するための保持レジスタ、4-
 Aと4-B…マルチプレクサ、5…比較条件設
 定用フリップ・フロップ、6…比較回路、L…
 スキャン・アドレス線、11-1ないし11-
 3…論理ブロック、12ないし12-4…フリ
 ップ・フロップ、13-1ないし13-3…セ
 レクタ、14…マルチプレクサ、15…比較条
 件設定用フリップ・フロップ、16…比較回路、
 17と18…マルチプレクサ、19…有効無効
 モード指定フリップ・フロップ、20…AND
 回路、21と22…スキャン・アドレス・レジ
 スタ。

特許出願人 富士通株式会社

代理人弁理士 京谷 四郎

4. 図面の簡単な説明

第1図は本発明の1実施例のブロック図、第2

図は本発明の他の実施例のブロック図である。

1…論理ブロック、2-1ないし2-n…フリ

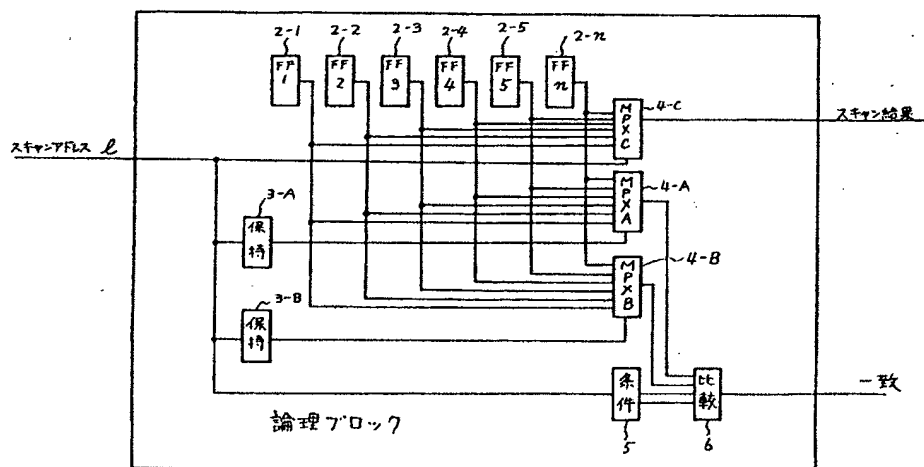


図1

